

Patent [19]

[11] Patent Number: 04219082

[45] Date of Patent: Aug. 10, 1992

[54] IMAGE PICKUP DEVICE AND COUNTER CIRCUIT USED FOR THE SAME

[30] Foreign Application Priority Data
JP May. 09, 1990 02119431

[21] Appl. No.: 03076227 JP03076227 JP

[22] Filed: Apr. 09, 1991

[51] Int. Cl.⁵ H04N005335 ; H03K02100; H03K02300

[57] ABSTRACT

PURPOSE: To offer an image pickup device with a little fixed pattern noise and the counter circuit used for the device.

CONSTITUTION: The counter circuit in which a gray code where the number of simultaneous change of output signals 60-65 are always one is generated by plural counting stages 21-26, plural decoding means 27-36 and the number of simultaneous change adjusting means 37-42 and simultaneously where the number of simultaneous change of the output signals of the internal logical gates 27-42 is constant, as well is constituted. By generating the clock signal of a charge coupled device using this counter circuit, the influence of the fixed pattern noise is reduced.

COPYRIGHT: (C)1992,JPO&apio

* * * * *

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-219082

(43) 公開日 平成4年(1992)8月10日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/335	P	8838-5 C		
H 0 3 K 21/00	J	7125-5 J		
23/00	B	7125-5 J		

審査請求 未請求 請求項の数10(全 9 頁)

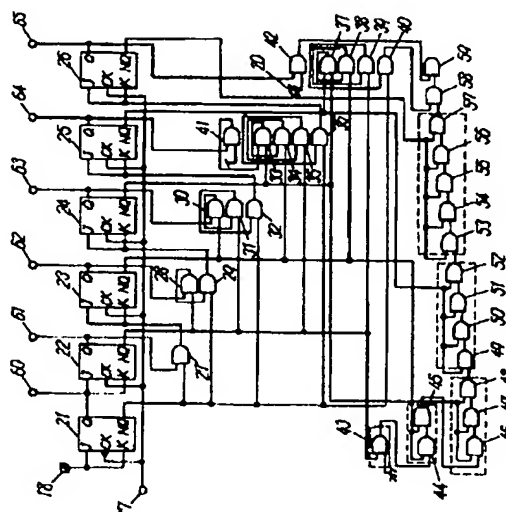
(21) 出願番号	特願平3-76227	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成3年(1991)4月9日	(72) 発明者	八山 博記 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31) 優先権主張番号	特願平2-119431	(72) 発明者	岩澤 高広 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(32) 優先日	平2(1990)5月9日	(72) 発明者	大前 昌軌 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 小嶋治 明 (外2名)

(54) 【発明の名称】 撮像装置およびそれに用いるカウンタ回路

(57) 【要約】

【目的】 固定パターンノイズの少ない撮像装置およびそれに用いるカウンタ回路を提供する。

【構成】 複数の計数段21~26と、複数のデコード手段27~36と、同時変化数調節手段37~42とによって、出力信号60~65の同時変化数が常に1であるようなグレイコードを発生するとともに、内部の論理ゲート27~42の出力信号の同時変化数も一定となるカウンタ回路を構成する。このカウンタ回路を利用して電荷結合素子のクロック信号を発生することにより、固定パターンノイズの影響を少なくする。



(2)

特開平4-219082

1

【特許請求の範囲】

【請求項1】 (a) レンズ手段、

(b) 上記レンズ手段を透過した光を電気信号に変換する固体撮像素子、

(c) 上記固体撮像素子の出力信号を処理する信号処理回路、

(d) クロック信号をカウントし、グレイコードを発生するグレイコードカウンタ、

(e) 上記グレイコードカウンタの出力信号にしたがって上記固体撮像素子および上記信号処理回路にそれぞれクロック信号および同期信号を供給する手段、を備え、上記グレイコードカウンタを、

(f) n (n は自然数) ビットの計数段、(g) $k-1$ (k は3以上 n 以下の自然数) ビット目の計数段の第1の論理出力と $k-2$ ビット目以下のすべての計数段の第2の論理出力の積と等価な論理出力を、上記 n ビットの計数段の各入力端子に供給する複数の論理デコード手段、で構成したことを特徴とする撮像装置、

【請求項2】 論理デコード手段が、

(a) x (x は自然数) 個の多入力論理回路、(b) 上記 x 個の多入力論理回路のうち、第1の多入力論理回路の出力信号を第2の多入力論理回路に入力し、上記第2の多入力論理回路の出力信号を第3の多入力論理回路に入力し、以下これを第 x の多入力論理回路まで繰り返す手段、(c) 上記第 x の多入力論理回路の出力信号を上記計数段の入力端子に供給する手段、を備えた請求項1記載の撮像装置、

【請求項3】 グレイコードカウンタが、

(a) n (n は自然数) ビットの計数段、(b) $k-1$ (k は3以上 n 以下の自然数) ビット目の計数段の第1の論理出力と $k-2$ ビット目以下のすべての計数段の第2の論理出力の積と等価な論理出力を、上記 n ビットの計数段の入力端子に供給する複数の論理デコード手段、

(c) 上記各計数段の出力端子に複数の負荷調節用の論理回路を接続し、上記各計数段の出力端子に接続される上記論理デコード手段の論理回路数と負荷容量調節用の論理回路数の和を、上記すべての計数段に対して均一にする負荷容量調節手段、を備えた請求項1記載の撮像装置、

【請求項4】 グレイコードカウンタが、

(a) n (n は自然数) ビットの計数段、(b) $k-1$ (k は3以上 n 以下の自然数) ビット目の計数段の第1の論理出力と $k-2$ ビット目以下のすべての計数段の第2の論理出力の積と等価な論理出力を、上記 n ビットの計数段の入力端子に供給する複数の論理デコード手段、

(c) 上記複数の論理デコード手段を構成する各論理回路の出力信号の同時変化数を調節する同時変化数調節手

2

段、を備えた請求項1記載の撮像装置、

【請求項5】 (a) レンズ手段、

(b) 上記レンズ手段を透過した光を電気信号に変換する固体撮像素子、

(c) 上記固体撮像素子の出力信号を処理する信号処理回路、

(d) クロック信号をカウントするとともに、各計数段の出力信号の同時変化の周波数が映像信号帯域外に設定されたカウンタ手段、

(e) 上記カウンタ手段の出力信号にしたがって上記固体撮像素子および上記信号処理回路にそれぞれクロック信号および同期信号を供給する手段、

(f) 上記信号処理回路の出力側に接続され、上記映像信号のみを通過させるフィルタ手段、を備えた撮像装置、

【請求項6】 カウンタ手段をグレイコードカウンタで構成したことを特徴とする請求項5記載の撮像装置、

【請求項7】 (a) n (n は自然数) ビットの計数段、(b) $k-1$ (k は3以上 n 以下の自然数) ビット目の計数段の第1の論理出力と $k-2$ ビット目以下のすべての計数段の第2の論理出力の積と等価な論理出力を、上記 n ビットの計数段の入力端子に供給する複数の論理デコード手段、を備えたカウンタ回路、

【請求項8】 論理デコード手段が、

(a) x (x は自然数) 個の多入力論理回路、(b) 上記 x 個の多入力論理回路のうち、第1の多入力論理回路の出力信号を第2の多入力論理回路に入力し、上記第2の多入力論理回路の出力信号を第3の多入力論理回路に入力し、以下これを第 x の多入力論理回路まで繰り返す手段、(c) 上記第 x の多入力論理回路の出力信号を上記計数段の入力端子に供給する手段、を備えた請求項7記載のカウンタ回路、【請求項9】 (a) n (n は自然数) ビットの計数段、(b) $k-1$ (k は3以上 n 以下の自然数) ビット目の計数段の第1の論理出力と $k-2$ ビット目以下のすべての計数段の第2の論理出力の積と等価な論理出力を、上記 n ビットの計数段の入力端子に供給する複数の論理デコード手段、

(c) 上記各計数段の出力端子に複数の負荷調節用の論理回路を接続し、上記各計数段に接続される上記論理デコード手段の論理回路数と負荷容量調節用の論理回路数の和を、上記すべての計数段に対して均一にする負荷容量調節手段、を備えたカウンタ回路、

【請求項10】 (a) n (n は自然数) ビットの計数段、(b) $k-1$ (k は3以上 n 以下の自然数) ビット目の計数段の第1の論理出力と $k-2$ ビット目以下のすべての計数段の第2の論理出力の積と等価な論理出力を、上記 n ビットの計数段の入力端子に供給する複数の論理デ

(3)

特開平4-219082

3

4

コード手段。

(c) 上記複数の論理デコード手段を構成する各論理回路の出力信号の同時変化数を調節する同時変化数調節手段、を備えたカウンタ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は固体撮像素子を用いたビデオカメラ等の撮像装置およびそれに用いるカウンタ回路に関するものである。

【0002】

【従来の技術】 固体撮像素子は、電荷結合素子（以下CCDと記す）とフォトダイオードを応用した素子として、ビデオカメラ等の撮像装置に利用されており、固体撮像素子の駆動装置は、ビデオカメラ等の撮像装置の性能を決定する上で最も重要な役割を占めている。

【0003】 図6に一般的なビデオカメラの構成を示す。図6において、レンズ1を透過してCCD2に達した光は、CCD2で電気信号に変換される。CCD2の出力信号は、信号処理回路3に供給され、ここで映像信号に変換された後、後段の映像信号回路（図示せず）へ供給される。

【0004】 CCD2および信号処理回路3は、駆動信号発生回路4からのクロック信号12と同期信号13によってそれぞれ駆動される。駆動信号発生回路4は、水晶発振子5とクロック発生器6と同期信号発生器7とで構成されている。

【0005】 ここで、クロック発生器6は、図7に示すように、水晶発振子5とともに基準となるクロック信号を発生する発振回路8と、発振回路8の出力信号を分周するバイナリーコードカウンタ9と、バイナリーコードカウンタ9の出力をデコードするデコーダ10と、デコーダ10の出力をラッチするラッチ回路11とで構成されており、ラッチ回路11から出力されるクロック信号12が、電荷転送用のクロック信号としてCCD2に供給される。

【0006】 一方、同期信号発生器7も、基本的にはクロック発生器6と同様に、水晶発振子と、発振回路と、バイナリーコードカウンタと、デコーダと、ラッチ回路とで構成されている。そして、ラッチ回路から出力される信号13が、図7に破線で示すように信号処理回路3に供給され、信号処理のための同期信号、たとえばテレビジョン信号の同期信号、クランプパルスあるいはブランキングパルスとして使用される。

【0007】 従来、クロック発生器6と同期信号発生器7とは別々の半導体素子で構成されていたが、図7からわかるように、これらの素子には共通の回路が含まれているため、これらの素子を1チップ化することが求められている。

【0008】 図6はクロック発生器6と同期信号発生器7とを1チップ化した場合の接続関係を示している。こ

の場合、クロック発生器6内の発振回路8の出力信号14が同期信号発生器7内のバイナリーコードカウンタに供給される。すなわち、同期信号発生器7に含まれるバイナリーコードカウンタは、クロック発生器6内の発振回路8の出力を受けてカウント動作を続ける。そして同期信号発生器7に含まれるラッチ回路の出力信号の一部が制御信号15としてクロック発生器6内のバイナリーコードカウンタ9に供給され、走査期間中はバイナリーコードカウンタ9のカウント動作を停止し、帰線期間中のみカウント動作を行わせる。

【0009】 その結果、クロック発生器6と同期信号発生器7内の各ラッチ回路から出力される信号が、電荷転送用のクロック信号12および信号処理用の同期信号13として、CCD2および信号処理回路3にそれぞれ供給される。

【0010】

【発明が解決しようとする課題】 ところが、このようにクロック発生器6と同期信号発生器7とを1チップ化し、しかも、特に同期信号発生器7内にある1水平期間をカウントするためのカウンタをバイナリーコードカウンタで構成した場合、カウンタのビットの同時変化数の多いタイミングで、CCD2に供給される高速パルス（たとえば水平転送パルス）にジッタを与えてしまう。その結果、最終的に得られた画面上に縦縞の固定パターンノイズが現われるという問題がある。

【0011】 この問題をさらに詳しく説明する。図8はバイナリーコードカウンタの入出力波形を示している。周知のように、バイナリーコードカウンタに図8(a)に示すクロック信号が供給されると、このクロック信号がバイナリーコードカウンタによって、1/2, 1/4, 1/8・・・と順次分周され、図8(b)に示す出力信号が得られる。

【0012】 ここで、図8(b)のビット変化の数に着目すると、タイミング t_1 , t_2 で5つのビットが一斉に変化していることがわかる。またタイミング t_2 では4つのビットが一斉に変化している。

【0013】 クロック発生器6と同期信号発生器7とを1チップの回路で構成した場合、バイナリーコードカウンタの出力ビット変化数の多いタイミング t_1 , t_2 , t_3 に、回路に定常の電源電流より大きいトリガ状の電源電流が流れる。その結果、CCD2および信号処理回路3より出力される映像信号中に固定パターンノイズが発生し、これが画面上に縦縞となって現われる。

【0014】 さらに、トリガ状の電源電流によって、不要輻射も発生し、周辺回路の動作に悪影響を与えるという問題もある。

【0015】 なお、クロック発生器6のカウンタをバイナリーコードカウンタで構成した場合にも同様の問題が発生する。

【0016】 本出願人は、このような問題を解決するた

(4)

特開平4-219082

5

めに、図9に示す様な撮像装置を提案している（特願平1-305402号）。

【0017】図9において、図7と実質的に同一の機能をもつ回路には同一の符号を付している。図9から明らかなように、ここではクロック発生器6および同期信号発生器7のカウンタを、グレイコードカウンタ16で構成している。なお、グレイコードカウンタとは、出力信号のビット変化が常に1ビットであるカウンタを意味する。

【0018】図10に、グレイコードカウンタ16の入出力波形を示す。図10(a)に示すクロック信号（発振回路8の出力信号）がグレイコードカウンタ16に供給されると、グレイコードカウンタ16の各出力端子から図10(b)に示すような出力信号が発生される。図10(b)から明らかなように、グレイコードカウンタ16においては、すべてのビット変化のタイミングで、常に1ビットしか変化しない。

【0019】そこで、このグレイコードカウンタ16の出力信号をデコーダ10でデコードし、そのデコード出力をラッチ回路11でラッチすることにより、CCD2に電荷転送用のクロック信号12を供給し、信号処理回路3に信号処理用の同期信号13を供給することができる。

【0020】なお、グレイコードカウンタを用いた場合、バイナリコードカウンタを用いた場合に対し、デコーダ10およびラッチ回路11の具体的な構成を若干変更する必要があるが、それ自体はきわめて容易であり、必要なクロック信号12および同期信号13が得られるようにデコーダ10およびラッチ回路11の構成を変更することによって、CCD2および信号処理回路3を従来とまったく同様に駆動することができる。

【0021】このように、カウンタとしてグレイコードカウンタ16を用いれば、カウンタの出力の同時変化数を常に1ビットにすることができる。このため、CCD2あるいは信号処理回路3の駆動時の電源電流の変動を抑制することができ、その結果、最終的に得られる画面の一部に縦縞の固定パターンノイズが現われるのを防止することができる。さらに、周辺回路に対する不要輻射の影響も低減することができる。

【0022】本発明は、カウンタによる固定パターンノイズの影響をさらに軽減することのできる撮像装置を提供するものである。

【0023】また本発明はこのようなグレイコードカウンタとして用いることのできる改良されたカウンタ回路を提供するものである。

【0024】

【課題を解決するための手段】本発明の撮像装置は、カウンタの各計数段の出力信号の変化によって生じる固定パターンノイズを映像信号周波数帯域外に発生させるようにしたものである。

6

【0025】本発明のカウンタ回路は、各計数段の出力信号が常に1ビットしか変化しないようなグレイコードが発生するとともに、内部の論理ゲートの出力信号の同時変化数も常に一定になるようにしたものである。

【0026】

【作用】本発明の撮像装置によれば、グレイコードカウンタを用いるため、カウンタの出力信号の同時変化による電源電圧の変動が緩和でき、画面上の縦縞の固定パターンノイズが発生を抑制することができるだけでなく、さらに固定パターンノイズが発生しても、それを映像信号帯域外に発生させることができるから、信号処理回路の後段に接続したフィルタでノイズ成分を除去することができる。このため、固定パターンノイズの映像信号に対する影響を十分に軽減することができる。

【0027】さらに、本発明のカウンタ回路によれば、計数段の出力信号の同時変化数が常に1であるグレイコードカウンタが実現できるだけでなく、内部の論理ゲートの出力信号の同時変化数も常に一定にすることができる。このため、このカウンタ回路をCCDの駆動装置として用いれば、固定パターンノイズの少ない、高画質の映像が得られる。

【0028】

【実施例】図1は本発明の第1の実施例であり、図9に示したグレイコードカウンタ16として用いることのできるカウンタ回路を示すものである。図2はそのタイミングチャートを示すものである。

【0029】図1のカウンタ回路の構成および動作を説明する前に、理解を容易にするために、まず図2のタイミングチャートを参照してグレイコードの特徴を説明する。

【0030】図2において、各計数段のビット変化に着目すると、特定のビット（たとえば図4の64）がローレベルからハイレベル（あるいはハイレベルからローレベル）へ変化するタイミングでは、その直前のビット（図4の63）のみがハイレベルで、それ以前のビット（図4の62、61、60）はすべてローレベルであることがわかる。

【0031】図1に示すカウンタ回路は、このようなビット変化を実現するものである。図1において、クロック信号入力端子17には、たとえば図9の発振回路8からのクロック信号が供給される。このクロック信号は、すべてのJ-Kフリップフロップ21～26のクロック端子CKに供給される。

【0032】一方、すべてのJ-Kフリップフロップ21～26のJ端子とK端子は共通に接続されており、初段のJ-Kフリップフロップ21のJ端子およびK端子は電源端子18に接続されている。初段のJ-Kフリップフロップ21のQ出力端子は次段のJ-Kフリップフロップ22のJ端子とK端子に接続されている。初段のJ-Kフリップフロップ21のNQ出力端子は論理デコ

(5)

特開平4-219082

7

ード用の論理ゲート27の一方の入力端子に接続されている。論理ゲート27の他方の入力端子には2段目のJ-Kフリップフロップ22のQ出力端子が接続されている。そして論理ゲート27の出力端子は、3段目のJ-Kフリップフロップ23のJ端子とK端子に接続されている。

【0033】以下、同様に、3段目から6段目までのJ-Kフリップフロップ23、24、25、26の間に、論理デコード用の論理ゲート28～36が、それぞれ図示のように接続されている。

【0034】また、所定のJ-KフリップフロップのQ出力端子とNQ出力端子には、ビットの同時変化数を調節して、常に均一な同時変化数が得られるようにするための論理ゲート37～42が、それぞれ図示のように接続されている。

【0035】以上の論理ゲート27～36および37～42のほかに、負荷容量を調節するための論理ゲート43～59がそれぞれ図示のように接続されている。

【0036】なお、端子20は電源端子あるいはハイレベルの固定電位である。そしてカウンタ回路の出力端子60～65は、それぞれJ-Kフリップフロップ21～26のQ出力端子に接続されている。

【0037】図2は図1の各部の電圧波形を示しており、波形の番号を、図1の対応する部分の参照番号で示している。すなわち、図2の17はクロック信号入力端子17に入力されるクロック信号波形、60～65は出力端子60～65の出力信号波形、27～36は論理デコード用の論理ゲート27～36の出力波形、37～42は同時変化数調節用の論理ゲート37～42の出力波形である。

【0038】なお、図2の66は、各論理ゲート出力の同時変化数をグラフ化して表わしたものである。

【0039】次に、図2を参照して図1の動作を説明する。クロック信号入力端子17にクロック信号が供給されると、初段のJ-Kフリップフロップ21はそのクロック信号の立ち下がりでQ出力を反転する。したがって、図2のクロック信号波形17に対して、初段のJ-Kフリップフロップ21のQ出力波形は図2の60(21)のようになる。

【0040】次に、初段のJ-Kフリップフロップ21のQ出力は、2段目のJ-Kフリップフロップ22のJ端子とK端子に供給される。したがって、2段目のJ-Kフリップフロップ22のQ出力は、初段のJ-Kフリップフロップ21のQ出力がハイレベルのときにクロック信号17の立ち上がりで反転する。その結果、2段目のJ-Kフリップフロップ22のQ出力波形は、クロック信号波形17に対して、図2の61(22)に示すようになる。

【0041】次に、初段のJ-Kフリップフロップ21のNQ出力と2段目のJ-Kフリップフロップ22のQ

8

出力は、論理ゲート27に輸入され、論理ゲート27でデコードされたパルスが3段目のJ-Kフリップフロップ23のJ端子、K端子に供給される。したがって、3段目のJ-Kフリップフロップ23のQ出力は、2段目のJ-Kフリップフロップ22のQ出力がハイレベルで、かつ初段のJ-Kフリップフロップ21のNQ出力がハイレベルのときに、クロック信号の立ち上がりで反転する。その結果、3段目のJ-Kフリップフロップ23のQ出力波形は、クロック信号波形17に対して、図2の62(23)のようになる。

【0042】以下、同様の動作を繰り返す。すなわち、論理ゲート28、29には、3段目のJ-Kフリップフロップ23のQ出力と、1、2段目のJ-Kフリップフロップ21、22のNQ出力が輸入され、ここでデコードされたパルスが4段目のJ-Kフリップフロップ24に供給される。

【0043】論理ゲート30、31、32には、4段目のJ-Kフリップフロップ24のQ出力と、1、2、3段目のJ-Kフリップフロップ21、22、23のNQ出力が輸入され、ここでデコードされたパルスが5段目のJ-Kフリップフロップ25に供給される。

【0044】論理ゲート33～36には、5段目のQ出力と、1、2、3、4段目のNQ出力が輸入され、ここでデコードされたパルスが6段目のJ-Kフリップフロップ26に供給される。

【0045】その結果、4段目以降の各J-Kフリップフロップ24～26のQ出力、すなわち、カウンタ回路の出力端子63～65には、図2の63(24)～65(26)に示す出力信号が得られる。

【0046】このときの論理デコード用の論理ゲート27～36の出力信号波形は、図2の27～36に示すようになる。さらに同時変化数調節用の論理ゲート37～42の出力信号波形は、図2の37～42のようになる。

【0047】そこで、図2において、カウンタ回路の出力信号60～65に着目すると、同時変化数が1であるグレイコード出力となっていることがわかる。したがって、このカウンタ回路を図9のグレイコードカウンタ16として用いると、図面の一部に縦縞の固定パターンノイズが現われるのを防止することができる。また、周辺回路に対する不要輻射の影響も軽減することができる。

【0048】さらに、図2のすべての波形60～65、27～36、37～42の同時変化数をグラフ化して表わすと、図2の66のようになる。すなわち、図2の66の最初のタイミングでは61がロウレベルからハイレベルへ変化すると同時に、39がハイレベルからロウレベルへ変化しており、同時変化数は2となる。次のタイミングでは、60と27が同時に変化しており、同時変化数は2となる。さらに次のタイミングでは、62と3

(6)

特開平4-219082

9

8が同時に変化しており、同時変化数は2となる。以下同様に、図4の66のすべてのビット変化のタイミングで、同時変化数は2となる。

【0049】このように図1のカウンタ回路は、グレイコードカウンタとしての機能を果たすだけでなく、内部の論理ゲート27～42の出力信号の同時変化数も、すべてのタイミングにおいて2とすることができる。このため、内部の論理ゲートの出力信号変化による電源電流の変動も抑えることができ、この点でも固定パターンノイズと不要輻射の影響を軽減することができる。

【0050】なお、図1のカウンタ回路においては、論理デコード用の論理ゲート28～29、30～32、33～36および同時変化数調節用の論理ゲート37～40の接続関係に次のような工夫がなされており、この構成が均一な同時変化数を実現するために重要な役割を果たしている。

【0051】たとえば、論理ゲート28、29は4入力のANDゲートであるが、通常4入力のANDゲートは図3のように構成される。ところが、図3の場合、下位ビットI4は低い周波数で変化するのに対し、上位ビットI1は高い周波数で変化する。このため下位ビットI4と上位ビットI1が同時に変化するタイミングが一定の周期性をもって現われる。このように同時変化数が一定周期で変化する、均一な同時変化数は実現できない。

【0052】これに対し、図1のカウンタ回路においては、第1の論理ゲート28の出力信号を第2の論理ゲート29に入力することによって、実質的に4入力のANDゲートを実現している。この構成によって、ビットの同時変化数を常に一定にすることができる。他の論理ゲート30～32、33～36、37～40についても同様である。

【0053】ところで、図1のカウンタ回路においては、各J-Kフリップフロップ21～26のNQ出力端子に接続される論理デコード用の論理ゲート27～36および同時変化数調節用の論理デコード37～40の数が、各J-Kフリップフロップごとに異なる。

【0054】すなわち、初段のJ-Kフリップフロップ21のNQ出力端子には5個の論理ゲート27、29、32、36、40が接続されている。2段目のJ-Kフリップフロップ22のNQ出力端子には4個の論理ゲート28、31、35、39が接続されている。3段目のJ-Kフリップフロップ23のNQ出力端子には、3個の論理ゲート30、34、38が接続されている。4段目のJ-Kフリップフロップ24のNQ出力端子には、2個の論理ゲート33、37が接続されている。5段目のJ-Kフリップフロップ25のNQ出力端子には、1個の論理ゲート37が接続されている。そして最終段のJ-Kフリップフロップ26のNQ出力端子には論理ゲートが接続されていない。

10

【0055】このように、各J-Kフリップフロップ21～26に接続される論理ゲート数が異なると、カウンタ回路の各計数段の出力ラインの負荷容量が不均一になる。このため、クロック入力信号に対して不均一なレベルのカウンタノイズが発生する。

【0056】図1の実施例では、このような問題をも解決するために、負荷容量調節用の論理ゲート43～59を付加している。このうち論理ゲート43は2段目のJ-Kフリップフロップ22に対するものである。論理ゲート44、45は3段目のJ-Kフリップフロップ23に対するものである。論理ゲート46～48は4段目のJ-Kフリップフロップ24に対するものである。論理ゲート49～52は5段目のJ-Kフリップフロップ25に対するものである。論理ゲート53～57は6段目のJ-Kフリップフロップ26に対するものである。

【0057】このようにすれば、初段のJ-Kフリップフロップ21には前述の通りの5個の論理ゲート27、29、32、36、40が接続される。一方、2段目のJ-Kフリップフロップ22には、前述の4個の論理ゲート28、31、35、39のほかに容量調節用の論理ゲート43が接続され、合計5個の論理ゲートが接続される。また、3段目のJ-Kフリップフロップ23には、前述の3個の論理ゲート30、34、38のほかに容量調節用の論理ゲート44、45が接続され、合計5個の論理ゲートが接続される。4段目のJ-Kフリップフロップ24には、前述の2個の論理ゲート33、37のほかに容量調節用の論理ゲート46、47、48が接続され、合計5個の論理ゲートが接続される。さらに、5段目のJ-Kフリップフロップ25には、前述の1個の論理ゲート37のほかに容量調節用の論理ゲート49、50、51、52が接続され、この場合も合計5個の論理ゲートが接続される。そして最終段のJ-Kフリップフロップ26には、容量調節用の5個の論理ゲート53～57が接続される。

【0058】このように、図1の構成によれば、すべてのJ-Kフリップフロップ21～26のNQ出力端子に接続される論理ゲートの総数を5個に揃えることができる。このため各計数段の出力ラインの負荷容量を均一化することができる。その結果、クロック入力信号に対して不均一なレベルのカウンタノイズが発生しなくなる。したがって、図1のカウンタ回路を図1のグレイコードカウンタ16として用いた場合、この点でも固定パターンノイズと不要輻射を抑えることができる。

【0059】なお、図1においては、同時変化数調節用の論理ゲート37～42の出力信号を処理するために負荷容量調節用の論理ゲート58、59を用いている。

【0060】図1では6ビットのカウンタ回路を示したが、任意のビット数で構成できることは言うまでもない。

【0061】たとえば、nビットのカウンタ回路を構成

(7)

特開平4-219082

11

した場合、 k ($k=n$ または $k<n$) ビット目のJ-KフリップフロップのJ端子、K端子に、 $k-1$ ビット目のJ-KフリップフロップのQ出力と、 $k-2$ ビット目以下1ビット目までのJ-KフリップフロップのNQ出力とを論理ゲートでデコードしたパルスを提供すればよい。

【0062】また、図1では、計数段の論理回路をJ-Kフリップフロップで構成し、論理ゲート27~59をANDゲートで構成し、論理ゲート27~42の同時変化数がクロック入力信号に対して常に均一（図1の場合は2）で、負荷容量も均一になるように構成したが、カウンタ回路の用途に応じて計数段の論理回路をDフリップフロップと排他的論理和回路などで構成してもよい。

【0063】また、論理デコード用の論理ゲートを多入力のANDゲートあるいは計数段階からみて論理的に等価である他の論理ゲートに代え、同時変化数や負荷容量を変更してもよい。たとえば、論理デコード用の論理ゲート27~36としてNANDゲートを用いることもできる。ただし、この場合には、入力側または出力側で位相反転処理を施す必要がある。このときも、計数段階からみれば、論理的にはANDゲートと等価である。

【0064】さらに、同時変化数調節用の論理ゲート37~42および負荷容量調節用の論理ゲート43~59を多入力のANDゲートあるいは他の論理回路に変更して同時変化数や負荷容量を変更してもよい。

【0065】いずれにしても、このような論理回路を適切に組み合わせることによって、クロック入力信号に対する論理回路出力の同時変化数を2以上 $n-1$ 以下の範囲で簡単に決定することができる。

【0066】次に、本発明の第2の実施例について説明する。前述の通り、図1のカウンタ回路によれば、計数段の出力信号の同時変化数は常に1であり、また内部の論理ゲートの出力信号の同時変化数は常に2であり、いずれもバイナリーコードカウンタに比べて同時変化数が少ない。したがって、このカウンタ回路を用いてCCDのクロック信号あるいは信号処理回路の同期信号を発生すれば、固定パターンノイズや不要輻射を軽減することができる。

【0067】本発明の第2の実施例は、このような固定パターンノイズや不要輻射の影響をさらに軽減するものである。

【0068】すなわち、第2の実施例においては、カウンタ回路のビットの同時変化の周波数を、映像信号の周波数帯域以上の周波数に設定し、かつ図4に示すように、信号処理回路3の後段に、映像信号のみを通過させ、ノイズ成分を除去するためのローパスフィルタ67を接続したものである。

【0069】図2から明らかなように、図1のカウンタ回路にクロック信号17が供給されると、計数段の出力信号60~65のビット変化はクロック信号17に同期

12

して発生する。また論理ゲートの出力信号27~42のビット変化もクロック信号17に同期して発生する。言い換えれば、図2の66に示す同時変化の起きるタイミングは、クロック信号17に同期している。

【0070】そこで、クロック信号周波数を映像信号周波数帯域以上の周波数に設定すると、図2の66に示す同時変化の周波数も映像信号帯域以上になる。

【0071】さらに具体的に言えば、図2の66に示す同時変化の周期を $T1$ とすると、その周波数 $f1 (= 1/T1)$ が、図5(c)に示すように映像信号周波数帯域の上限の周波数 $f0$ 以上になるように設定する。なお、映像信号周波数帯域は、テレビジョン放送の方式によって異なり、NTSC方式では4.2MHz、PAL、SECAM方式では5MHzから6MHzである。

【0072】このようにすれば、かりにビットの同時変化によって固定パターンノイズが発生したとしても、映像信号周波数帯域外で発生することになる。このため、図4に示すように、信号処理回路3の出力側に、映像信号のみを通過させ、ノイズ成分を除去するローパスフィルタ67を接続しておけば、ノイズによる影響を大きく軽減することができる。

【0073】特に、図1のカウンタ回路のように、ビットの同時変化数が少ないカウンタ回路を用い、しかも同時変化の周波数を映像信号帯域外に設定した場合には、ノイズの除去効果はきわめて顕著である。

【0074】しかしながら、同時変化の周波数を映像信号帯域外に設定するならば、カウンタ回路としてかならずしもグレイコードカウンタを用いる必要はなく、たとえば、ジョンソン・カウンタやリング・カウンタ等のカウンタでもよい。

【0075】また、ビットの同時変化数の変動が周期性をもつようなカウンタ回路を用いる場合には、その同時変化数の周波数を映像信号帯域外に設定すればよい。

【0076】たとえば、ビットの同時変化数が図5(a)のような周期性をもって変動する場合、同時変化数が4の場合の周期 $T2$ や同時変化数が3の場合の周期 $T3$ を、図5(c)に示すように、それぞれの周波数 $f2 (= 1/T2)$ 、 $f3 (= 1/T3)$ が映像信号帯域外になるように設定すればよい。また図5(b)の場合も同様で、同時変化数が6の場合の周波数 $f4 (= 1/T4)$ を映像信号帯域外に設定すればよい。

【0077】

【発明の効果】本発明の撮像装置によれば、カウンタの出力信号の同時変化による固定パターンノイズを映像信号帯域外に発生させることによって、固定パターンノイズの映像信号に対する影響を十分に軽減することができる。

【0078】さらに、本発明のカウンタ回路によれば、計数段の出力信号の同時変化数が常に1であるグレイコードカウンタが実現できるだけでなく、内部の論理ゲ

(8)

特開平4-219082

13

トの出力信号の同時変化数も常に一定にすることができ
る。このため、このカウンタ回路をCCDの駆動装置と
して用いれば、固定パターンノイズの少ない、高画質の
映像が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるカウンタ回路の
ブロック図

【図2】図1の各部の電圧波形図

【図3】一般的な4入力ANDゲートを示すブロック図

【図4】本発明の第2の実施例における撮像装置を示す
ブロック図

【図5】図4の動作を説明するための特性図

【図6】従来の撮像装置のブロック図

14

【図7】従来の撮像装置のブロック図

【図8】図7の動作を説明するための電圧波形図

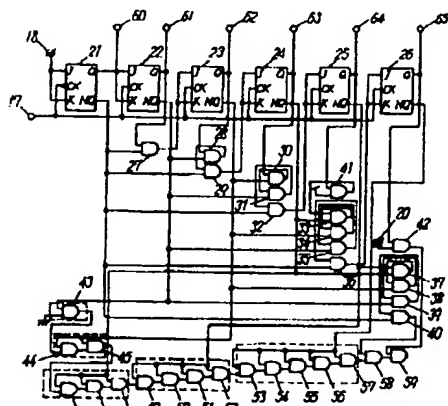
【図9】本発明の前提となる撮像装置のブロック図

【図10】図9の動作を説明するための電圧波形図

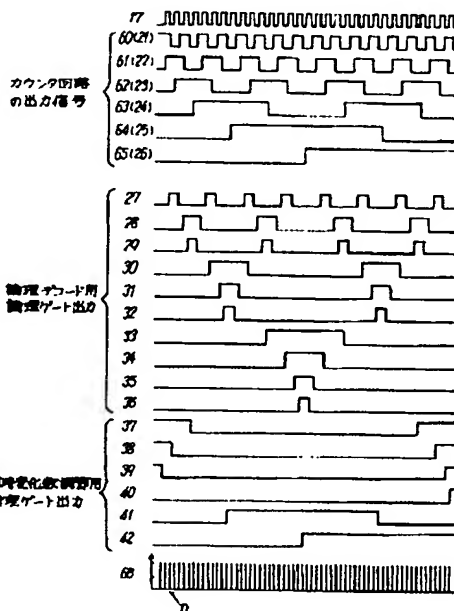
【符号の説明】

- 17 クロック信号入力端子
- 18, 20 電源端子
- 21~26 J-Kフリップフロップ
- 27~36 論理デコード用論理ゲート
- 37~42 同時変化数調節用の論理ゲート
- 43~59 負荷容量調節用の論理ゲート
- 60~65 計数段の出力端子
- 67 ローパスフィルタ

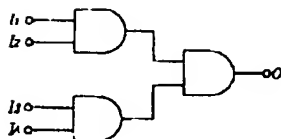
【図1】



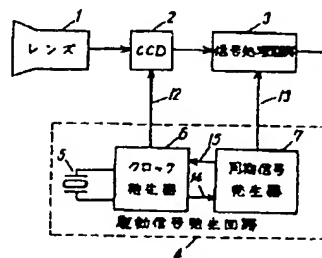
【図2】



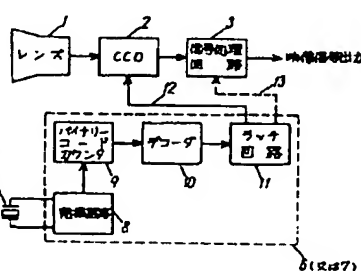
【図3】



【図4】



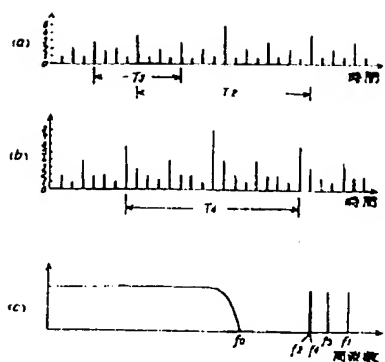
【図7】



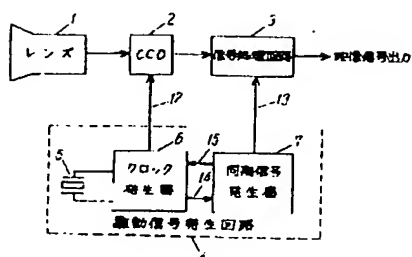
(9)

特開平4-219082

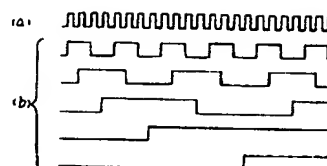
【図5】



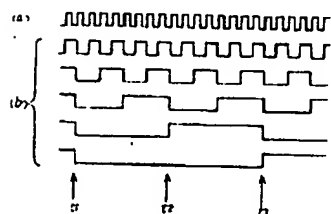
【図6】



【図10】



【図8】



【図9】

